פרויקט Internal Logic Analyzer Core – הערות על מצגת האפיון – 10.04.2012

* 1. יש מקום לשיפור די גדול במצגת האפיון. הערותיי הן:
     1. נא להוסיף רקע לשקפים (במקום רקע נקי לבן).
     2. שקף מס' 1:
        1. ~~יש לציין שמדובר במצגת אפיון.~~
        2. ~~יש לציין שמדובר בפרויקט דו-סמסטריאלי.~~
        3. ~~יש לציין סמסטר תחילת הפרויקט (אביב 2012).~~
        4. ~~יש להוסיף סמל של הטכניון והמעבדה למערכות ספרתיות. שלחתי לכם דוגמאות של מצגות אפיון.~~
        5. ~~פעם ראשונה שקוראים לי Mentor (ולא Supervisor). אהבתי. אאמץ זאת.~~
     3. יש להוסיף אחרי שקף 1, שקף של ה- AGENDA של המצגת (ב- BULLETS אילו נושאים תציגו – צורך, דרישות, ארכיטקטורה....).
     4. שקף מס' 2:
        1. המבוא צריך לספר את הסיפור שרשום במבוא של הצעת הפרויקט, אבל במעט מלל בשקפים עצמם ויותר תמונות. כלומר, כל הכתוב כן יאמר, אך בשקף יהיה מעט מלל, ב- BULLET-ים, עם תמונות.
        2. מה שכתוב במבוא של הצעת הפרויקט הוא:

יצרניות ה- FPGA-ים מספקות כלי למטרת DEBUG במעבדה, הקרוי Logic Analyzer, המאפשר הקלטה של מידע פנימי ב- FPGA והצגתו למשתמש. הכלי בנוי מחבילת חומרה, וחבילת תוכנה.

החלק החומרתי נכנס לקוד של ה- FPGA וכולל זיכרונות לאחסון המידע המוקלט, לוגיקה לשינוי קונפיגורציה (לדוגמא: סוג ה- Trigger, לדוגמא: פעיל בשינוי מ- '0' ל- '1'), לוגיקה לזיהוי נעילה של ה- Trigger הרצוי ולוגיקה לשליחת המידע המוקלט לתוכנה.

החלק התוכנתי כולל GUI, המאפשר לבחור את סוג ה- Trigger להקלטה, מיקום ה- Trigger ביחס למידע המוקלט, הצגה נוחה של שמות הסיגנלים המוקלטים והצגה של תוצאות ההקלטה, המגיעות מהחומרה, למשתמש.

הכלי של יצרנית ה- FPGA-ים, ALTERA, נקרא SignalTap. הכלי של יצרנית ה- FPGA-ים, XILINX, נקרא ChipScope.

* + - 1. אתם צריכים להוריד / לצייר תמונות / שרטוטים של Logic analyzer של XILINX ו- ALTERA. שתהיה תמונה של סיגנלים שמשתנים, trigger כלשהו, תמונה של ה- GUI שלהם וכו'. כלומר, על כל מלל לחשוב איך אתם יכולים ב- BULLET קצר לספר עליו, ובעיקר תמונה שתמחיש אותו (הערה זו על מעט מלל ויותר תמונות רלוונטית לכל המצגת שלכם). כל תמונה שבאה לאחר BULLET של מלל תופיע לאחר לחיצה על עכבר (מתוזמנת) ולא מלכתחילה בשקף. כל פעם שתופיע תמונה יתלווה הסבר על השימוש האפשרי (לפני או אחרי). לאחר-מכן, התמונה יכולה להעלם (באותו השקף). שלחתי לכם לא מעו דוגמאות כאלו.
    1. שקף מס' 3:
       1. ~~ארבע המילים הראשונות ב- BULLET הראשון מיותרות (לצמצם מלל היכן שניתן). גם שלוש המילים הראשונות ב- BULLET האחרון.~~
       2. מה לגבי קונפיגורציות? החומרה יכולה להיות מקונפגת, והתוכנה יכולה לשלוח בקשות ע"פ המשתמש. תיקנו. האם זה מה שהתכוונת?
       3. ~~אתם חייבים לצמצם את המלל. סתם לדוגמא, ב- BULLET השני הייתי מפריד אותו ל- 3 תת BULLET-ים קטנים, ומלווה את העסק עם תמונות:~~

~~Hardware: (1) VHDL (2) Record the chosen signals (3) Send it back to the user.~~

* + - 1. ~~עדיף שכ"א מה- BULLET-ים יופיע לאחר לחיצה על העכבר ולא מלכתחילה בשקף. בנוסף, הנפשה המסבירה מה זה כל BULLET.~~
      2. ~~בשני ה- BULLET-ים הראשונים יש נקודה בסוף משפט, ואילו בשניים האחרונים לא.~~
    1. שקף מס' 4:
       1. אותן הערות חוזרות: צמצום מלל, כל BULLET עם הנפשה, לחלק לתת BULLET-ים את ה- BULLET הראשון, כל BULLET יופיע רק לאחר שהסבר הקודם יסתיים (לחיצה על כפתור/עכבר).
       2. ~~טעות כתיב: loas במקום load. גם parmeters במקום parameters.~~
       3. לדוגמא: סוג הטריגר, ואז יש rise, ואז יש תמונה של סיגנל עולה וכל שאר הסיגנלים מוקלטים באותה נקודת זמן. זו רק דוגמא אחת. לכל תת BULLET ודרישה יש לעשות כן.
       4. ~~ה- BULLET האחרון ריק.~~
    2. שקף מס' 5:
       1. ~~יש ליצור הפרדה בין החומרה לתוכנה (ע"י הרקע התכלת).~~
       2. לציין את סוג ה- FPGA. מהו סוג ה-FPGA? והאם הפרויקט לא אמור להיות בלתי תלוי ביצרן?
       3. ~~רווח בין ה- UART ל- IN ול- OUT וגם באותיות גדולות במקום קטנות.~~
       4. ~~גם החץ ל- signal generator מה- intercom הוא דו-כיווני, וצריך להתחבר עם מלבן קטן של wishbone slave.~~
       5. ~~להוסיף מקרא ל- WBS ול- WBM.~~
    3. שקף מס' 6:
       1. ~~ישנה חבילת מידע שכל הזמן נמצאת ברקע.~~
       2. ~~הייתי משנה את הקונספט טיפה. על אותו רעיון של מידע שעובר, רק עם מילים. בהתחלה יהיה קונפיגורציות שמועברות ל- CORE (כמו מיקום ה- TRIGGER). להראות מידע מועבר מה- GUI ל- CORE עם המלל המתאים (קונפיגורציות, ולתת דוגמאות). לאחר מכן, מידע שמועבר ל- signal generator כמו שניסיתם להראות. רק עם מלל (injecting signals behavior). לאחר מכן, ולא קיים אצלכם, המידע צריך להיות מוחזר לתוכנה. נא להוסיף. ובסוף רואים WAVEFORM של המידע המוקלט.~~
    4. שקף מס' 7: מיותר, ניתן להורידו.
    5. שקף מס' 8: ~~ממליץ להוריד את שקף 7 ולשנות את הכותרת של שקף 8 ל- wishbone protocol, ולהסביר גם בע"פ שכל הקומפוננטות בתכן יקושרו שאמצעות הממשק הזה. להגיד שמדובר ב- standard פתוח לשימוש ומקובל בתעשייה. ניתן להוסיף אייקון של wishbone compatible – יש כזה במצגות קודמות. לציין את היתרון – מחר ניקח לפרוקיט אחר את ה- CORE, ואם גם בפרויקט הזה ישתמשו ב- WISHBONE אז לא יהיה צורך בשום התאמה.~~
    6. ~~שקף מס' 9: אותן הערות – הנפשה, תמונות, מעט מלל.~~
    7. שקף מס' 10: אותן הערות – הנפשה, תמונות, מעט מלל.
    8. שקפים מס' 11-14: מיותרים, ניתן להורידם.
    9. שקף מס' 15: זוהי תמונה מפרויקט אחר. יש להוסיף שקף לגבי קונספט הבדיקות במעבדה. SNAPSHOT של ה- GUI. הזנת נתונים ע"י המשתמש, בדיקות קלט, חלונות קטנים לתמונת הקלט והפלט הצפוי...
    10. יש להוסיף שקף לגבי לו"ז. צריכה להיות הפרדה ברורה מה בחלק א' של הפרויקט ומה בחלק ב'.
  1. שלחתי לכם הוראות לגבי התקנת SVN. יש לנהל את הקבצים דרך התוכנה במקום לשלוח במייל את הקבצים.
  2. עדיף ששמות קבצים יהיו באנגלית ולא בעברית (כולל של מצגות ומסמכים). המלצה לקובץ זה: Internal\_Logic\_Analyzer\_Characterization\_Presentation.
  3. מסמך הפרויקט אמור להיות מעודכן במקביל. הערות במצגת (למטה) יכולות להגזר מהמלל של מסמך הפרויקט.
  4. אבקש לקבל את המצגת המעודכנת, ורק לאחר מכן נקבע פגישה (במידת הצורך).